

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-140922

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

G09G 3/20

G09G 3/28

(21)Application number : 05-308646

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 15.11.1993

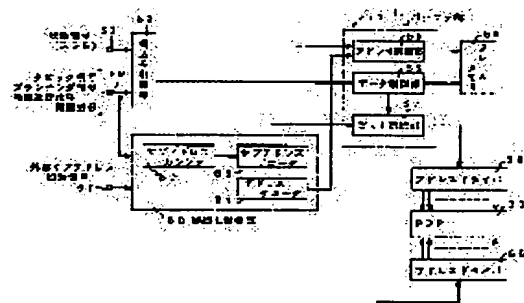
(72)Inventor : DENDA ISATO
NAKAJIMA MASAMICHI
ONODERA JUNICHI
KOSAKAI ASAO
KOBAYASHI MASAYUKI

(54) DRIVING METHOD OF DISPLAY DEVICE

(57)Abstract:

PURPOSE: To obviate the generation of spurious contours by driving a display device while regularly or randomly changing scanning sequence of sub-fields in a frame unit, thereby preventing prolonging of a non-display period.

CONSTITUTION: A sub-address decoder 63 rearranges the illuminance sequence of sub-frames (SF) 1 to SF 8 periodically, for example, by shifting the luminance by each one at every one frame. The data of the video signals inputted from an input terminal 51 is written into a frame memory 58. When the writing of the video signal data for one frame ends, an address decoder 61 of a control section 60 outputs address signals for reading out in accordance with the control signals inputted from a control signal input terminal 52. A sub-address counter 52 counts the respective periods of the SF 1 to SF 8 in the one frame and outputs count signals. The count signals are periodically rearranged by the sub-address counter 63 and are outputted in accordance with the set sequence.



LEGAL STATUS

[Date of request for examination]

12.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3430593

[Date of registration]

23.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The actuation approach of the display unit characterized by changing regularly per p ($p=1, 2$ and $3, \dots$) frame, and making it drive the scan sequence of a subfield in the display unit which constitutes one frame from two or more subfields where phase comparison of brightness differs, and projected the video signal of many gradation.

[Claim 2] In the 1st from which phase comparison of brightness differs, the 2nd, and the display unit which constitutes one frame from a subfield of the q -th plurality, and projected the video signal of many gradation the first scan sequence -- the 1st, the 2nd, and the q -th subfield -- carrying out -- the following scan sequence -- the 2nd -- the q -th -- The actuation approach of the display unit which considers as the 1st subfield and is characterized by shifting every one scan sequence of a top subfield, and making it drive it for every frame like the following.

[Claim 3] The actuation approach of the display unit characterized by changing at random per p ($p=1, 2$ and $3, \dots$) frame, and making it drive the scan sequence of a subfield with an external sub-address setpoint signal in the display unit which constitutes one frame from two or more subfields where phase comparison of brightness differs, and projected the video signal of many gradation.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the actuation approach of a display unit of constituting one frame from two or more subfields where phase comparison of brightness differs, and having projected the video signal of many gradation.

[0002]

[Description of the Prior Art] Recently, PDP (plasma display panel) attracts attention as a thin shape and a lightweight indicating equipment. It is a direct-drive method by the image input signal by which the conventional CRT actuation methods completely differ and this actuation method of PDP was digitized. Therefore, the brightness gradation which emits light from a panel side becomes settled with the number of bits of the signal to treat. Although PDP is divided into two methods of AC mold and DC mold with which fundamental properties differ, in the DC mold PDP, it has a report of the improvement technique about the brightness and life which had already been made into the technical problem, and is progressing towards utilization.

[0003] However, in the AC mold PDP, although brightness and property sufficient about a life are acquired, and there was only a report to an a maximum of 64 gradation display on prototype level about a gradation display, the technique of 256 future gradation by the address and the display discrete-type driving method (the ADS subfield method) is proposed. The panel structure of PDP (plasma display panel)10 used for this approach is shown in drawing 4 , and an actuation sequence and an actuation wave are shown in drawing 5 (a) and (b).

[0004] In drawing 4 , X Sas Tin electrode 12 and Y Sas Tin electrode 13 which become a pair are formed in the underside of the surface glass substrate 11 by the side of the screen with a transparent electrode and an auxiliary electrode. An auxiliary electrode forms the bus electrode 23 in some transparent electrodes in order to prevent the voltage drop by resistance of a transparent electrode. A dielectric layer 14 is formed on these X Sas Tin electrode 12 and Y Sas Tin electrode 13, and in order to separate association between each cel on it, the SUTORAIBU-like rib 18 is formed. Furthermore, the protective layer 15 which consists of MgO film is vapor-deposited. The address electrode 17 is formed on the rear-face glass substrate 16 which counters. As the SUTORAIBU-like rib 18 on a stripe is formed between the address electrodes 17 and the address electrode 17 is covered further, the R (red) fluophor 19, the G (green) fluophor 20, and the B (blue) fluophor 21 are ***** (ed). Ne+Xe mixed gas is enclosed with discharge space 22.

[0005] In drawing 5 (a), phase comparison of brightness consists of eight subfields of 1, 2, 4, 8, 16, 32, and 64, 128, and one frame displays 256 gradation in the combination of the brightness of eight screens. In drawing 5 (b), each subfield consists of Sas Tin periods which determine the intensity level of the address period which writes in the data for one refreshed screen, and its subfield. In an address period, wall charge is formed in each pixel in first stage at first at full-screen coincidence, and a SASUTIN pulse displays by being given to a full screen after that. The brightness of a subfield is proportional to the number of SASUTIN pulses, and is set as predetermined brightness. Thus, 256 gradation displays are realized.

[0006] By the above AC actuation methods, since the number of bits of the address period as a preparation period which carries out burning luminescence of the panel within an one-frame period increases the more the more it increases the number of gradation, the Sas Tin period as a luminescence

period becomes short relatively, and the maximum brightness falls. Thus, although luminescence brightness will increase if the number of bits of the signal which luminescence brightness falls and is treated conversely is reduced, although image quality will improve if the number of bits of the signal to treat is increased since the brightness gradation which emits light from a panel side becomes settled with the number of bits of the signal to treat, a gradation display decreases and deterioration of image quality is caused.

[0007] Reducing the number of bits of a backward acting signal rather than the number of bits of an input signal, the error diffusion process for making the shade error of an input signal and luminescence brightness into min is processing expressing false halftone, and when carrying out a shade expression with little gradation, it is used. That is, in the conventional general error diffusion-process circuit, the video signal of the original pixels A_i and j of n (for example, 8) bit inputs into a video-signal input terminal, processing which reduces the number of bits in m (for example, 4) bit by the bit conversion circuit further is carried out through a perpendicular direction adder circuit and a horizontal adder circuit, and light is emitted in PDP through a PDP actuation circuit.

[0008] Moreover, the error diffusion signal from said horizontal adder circuit is compared in the data and the error detector which were memorized beforehand, takes the difference, applies a predetermined multiplier in an error load circuit, and carries out weighting. While being added to said perpendicular direction adder circuit through the h line delay circuit which outputs rendering error E_{j-1} which produced the pixel [the pixel in front of h lines], for example, one line, error detection output in the past from the original pixels A_i and j The pixel of d -dot ago, for example, 1 dot, is added to said horizontal adder circuit through the d dot delay circuit which outputs rendering error E_{i-1} produced in the past from the original pixels A_i and j . In addition, the multiplier in said error load circuit is set up so that all the sums may generally be set to 1.

[0009] Consequently, since the luminescence intensity level of the stair-like upper and lower sides of a continuous line is outputted by turns at a predetermined rate in practice in spite of outputting the luminescence intensity level expressed with 4 bits which is momentarily stair-like to the output terminal of a bit conversion circuit, it is recognized in the condition of having been equalized and becomes the amendment brightness line of abbreviation $y=x$.

[0010]

[Problem(s) to be Solved by the Invention] However, it was dark in the left-hand side of an image, and when an image bright in right-hand side moved to the left gently, in some screens, the first frame shall be the level of 127 and, as for image level, the following frame should change to the level of 128, for example. As the scan of a subframe is shown in drawing 3, supposing he is trying to scan from SF1 to SF8 in order of brightness and 8 bits is used as a picture signal, the level of 127 will be quantized by 11111110 and the level of 128 will be quantized by 00000001. Therefore, if it applies to 127-128, non-display period and SF8 display period comes to SF1-SF7 to a display period, SF8, and SF1-SF7, and an image is displayed. Thus, when a dynamic image was displayed, since [which a non-display period calls the same period as one frame] it became comparatively long, this non-display period became a black line, it appeared in the image, and there was a problem that this served as false coutour and appeared.

[0011] This invention aims at obtaining what false coutour does not generate, as it has a fixed regulation, or the brightness sequence of a 1 inter-frame subfield is rearranged at random and a non-display period does not become long.

[0012]

[Means for Solving the Problem] This invention is the actuation approach of the display unit characterized by changing regularly or at random per p ($p=1, 2$ and $3, \dots$) frame, and making it drive the scan sequence of a subfield in the display unit which constitutes one frame from two or more subfields where phase comparison of brightness differs, and projected the video signal of many gradation.

[0013]

[Function] When changing regularly per frame, the first scan sequence is made into the 1st, the 2nd, and the q -th subfield, the following scan sequence is made into the 2nd, and the q -th and 1st subfield,

and like the following, for every frame, every one scan sequence of a top subfield is shifted, and is driven. The first frame shall be the level of 127 and, as for image level, the following frame should change to the level of 128. If the sequence quantized begins from the middle, therefore the level of 128 is applied to 127-128, a non-display period becomes sufficiently shorter than one frame, and false contour stops being conspicuous henceforth [the 2nd frame] in the 1st frame, since it shifts one at a time and scans although scanned from the beginning in order of brightness. A non-display period becomes sufficiently shorter than one frame similarly, and false contour stops being conspicuous by making into the random signal by the table of random numbers from an external sub-address setpoint signal the signal which controls scan sequence.

[0014]

[Example] Hereafter, the example of this invention is explained based on a drawing. In drawing 1, the video-signal (RGB) input terminal 51 and the control signal input terminal 52 of the n-bit original pixels A_i and j are connected to the write-in control section 53, and this write-in control section 53 is connected to the frame memory 58 through the address control section 55 of the I/O-buffer section 54, and the data control section 56. Said control signal input terminal 52 and the external sub-address setpoint signal input terminal 67 are connected to the read-out control section 60, and the address decoder 61 in this read-out control section 60 is connected to the address control section 55, and the sub-address counter 62 is connected to the bit-select section 57 of said I/O-buffer section 54 through the sub-address decoder 63. Moreover, the bit-select section 57 connected to said data control section 56 and sub-address decoder 63 is connected to PDP10 through the address driver 65 and the address driver 66.

[0015] Said sub-address decoder 63 is for rearranging periodically the brightness ranking to SF1-SF8 as follows. As Example 1 It shifts one brightness at a time for every frame. the case of the approach of rearranging -- 1st frame: -- SF 1, 2, 3, 4, 5, 6, 7, and 8 -- the 2nd -- frame:SF 2, 3, 4, 5, 6, 7, 8, and 1 -- the 3rd -- frame:SF 3, 4, 5, 6, 7, 8, 1, and 2 -- the 4th -- frame:SF 4, 5, 6, 7, 8, 1, 2, and 3 [0016] As Example 2 It shifts three brightness at a time for every frame. the case of the approach of rearranging -- 1st frame: -- SF 1, 2, 3, 4, 5, 6, 7, and 8 -- the 2nd -- frame:SF 4, 5, 6, 7, 8, 1, 2, and 3 -- the 3rd -- frame:SF 7, 8, 1, 2, 3, 4, 5, and 6 -- the 4th -- frame:SF 2, 3, 4, 5, 6, 7, 8, and 1 in addition to this It can set up suitably shifting brightness r ($r=1, 2$ and 3 , --) phase every, and rearranging it for every frame, etc.

[0017] When based on said external sub-address setpoint signal input terminal 67, it controls from the outside and a signal is inputted like the following example 3.

1st frame: -- SF 3, 7, 1, 6, 8, 4, 2, and 5 -- the 2nd -- frame:SF 6, 1, 7, 2, 5, 8, 4, and 3 the case where the signal set up at random is inputted can be considered with the table of random numbers of an external microcomputer etc. in this case.

[0018] In the above configurations, while a digital video signal (RGB) inputs into the write-in control section 53 from an input terminal 51, a clock signal, a blanking signal, a perpendicular, and a Horizontal Synchronizing signal input into the write-in control section 53 and the read-out control section 60 from the control signal input terminal 52. Moreover, the write-in control section 53 makes the frame memory 58 which consists of a DRAM module carry out the write-in storage of the video-signal data from the data control section 56 according to the address signal which inputs the inputted video signal into the data control section 56, and is inputted from the address control section 55 while it outputs the address signal for writing and inputs it into the address control section 55 of the I/O-buffer section 54 with said control signal.

[0019] After the writing of the video-signal data for one frame is completed, based on the inputted control signal, the address decoder 61 of the read-out control section 60 outputs the address signal for read-out, inputs it into the address control section 55, and inputs video-signal data into read-out and the data control section 56 from a frame memory 58. The sub-address counter 62 of the read-out control section 60 counts each period to SF1-SF8 in one frame, and he is trying to output a count signal, and it outputs it according to said sequence which rearranged this count signal periodically and set it up by the sub-address decoder 63.

[0020] Drawing 2 shows an example of the actuation approach of the video signal of this invention, and

- shows the case where it drives by the sequence of said example 2, in this example. That is, supposing the 1st frame is the order of SF 1, 2, 3, 4, 5, 6, 7, and 8, the 2nd less than frame shall shift and rearrange into three SF [every] period targets.

[0021] The output from this sub-address decoder 63 has also inputted into the bit-select section 57 the video-signal data which inputted into the bit-select section 57 of the I/O-buffer section 54, and were read from the frame memory 58.

[0022] In the bit-select section 57, the bit of video-signal data is chosen and it inputs into the address driver 65 and the address driver 66, and based on the control signal from the control signal input terminal 52, an address signal is generated, it inputs into the address driver 65 and the address driver 66, and writing and a video signal are projected on a part for the address part of assignment of PDP10.

[0023] In drawing 2 , like the case of drawing 3 , the first frame shall be the level of 127 and, as for image level, the following frame should change to the level of 128. At the 1st frame, since it scans from SF1 in order of brightness, the level of 127 is quantized by 11111110, but since it scans from SF4, the level of 128 is quantized by 00001000 at the 2nd frame. Therefore, if it applies to 127-128, to SF1-SF7, non-display period and SF8 display period comes to a display period, SF8, and SF4-SF7, a non-display period comes to SF1-SF3, and an image is displayed.

[0024] A non-display period becomes shorter than one frame, and false contour stops thus, being conspicuous by rearranging sequence periodically. The signal which controls the sequence of said sub-address decoder 63 can also be made into the random signal by the table of random numbers from the external sub-address setpoint signal input terminal 67 connected to the external microcomputer etc. like Example 3.

[0025]

[Effect of the Invention]

(1) Since this invention makes the scan sequence of a subfield change per one frame and it was made to drive it, while a non-display period becomes shorter than one frame, false contour stops being conspicuous by changing for every frame.

[0026] (2) By *****ing scan sequence of a subfield at random and driving it from an external signal input source, generating of false contour is lost further.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing one example of the actuation approach of the display unit by this invention.

[Drawing 2] It is the explanatory view showing the example of video-signal actuation by this invention.

[Drawing 3] It is the explanatory view showing the example of video-signal actuation by the conventional approach.

[Drawing 4] It is the perspective view of PDP used for the technique of 256 gradation.

[Drawing 5] It is the actuation sequence and actuation wave form chart in technique of 256 gradation.

[Description of Notations]

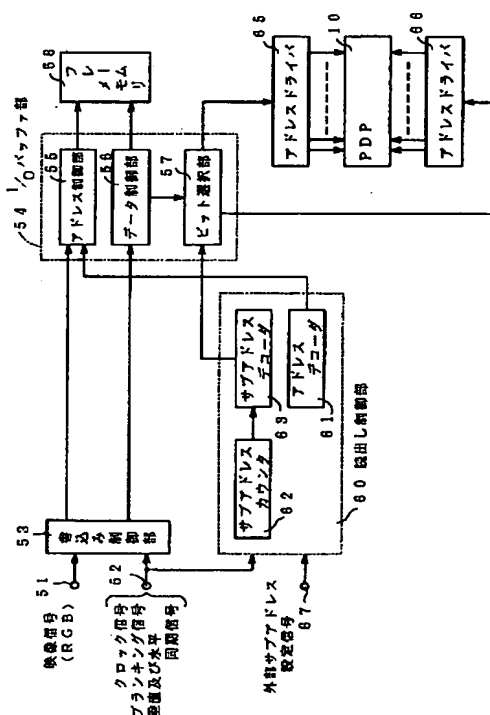
10 -- PDP (plasma display panel), 11 -- Surface glass substrate, 12 -- X Sas Tin electrode, 13 -- Y Sas Tin electrode, 14 -- Dielectric layer, 15 [-- SUTORAIBU-like rib,] -- A protective layer, 16 -- A rear-face glass substrate, 17 -- An address electrode, 18 19 -- R (red) fluophor, 20 -- G (green) fluophor, 21 -- B (blue) fluophor, 22 [-- Perpendicular direction adder circuit,] -- Discharge space, 23 -- A bus electrode, 30 -- A video-signal input terminal, 31 32 -- A horizontal adder circuit, 33 -- A bit conversion circuit, 34 -- Output terminal, 35 -- An error detector, a 36--h line delay circuit, a 37--d dot delay circuit, 38 [-- Video-signal (RGB) input terminal,] -- Memory, 40 -- An error load circuit, 41 -- An error load circuit, 51 52 -- A control signal input terminal, 53 -- A write-in control section, 54 -- I/O-buffer section, 55 -- An address control section, 56 -- The data control section, 57 -- Bit-select section, 58 [-- A sub-address counter, 63 / -- A sub-address decoder, 65 / -- An address driver, 66 / -- An address driver, 67 / -- External sub-address setpoint signal input terminal.] -- A frame memory, 60 -- A read-out control section, 61 -- An address decoder, 62

[Translation done.]

(11)特許出願公開番号

(43)公開日 平成7年(1995)6月2日

技術表示箇所



(2)

【特許請求の範囲】

【請求項1】 輝度の相対比の異なる複数のサブフィールドで1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、サブフィールドの走査順序を p ($p=1, 2, 3, \dots$) フレーム単位で規則的に変化して駆動するようにしたことを特徴とするディスプレイ装置の駆動方法。

【請求項2】 輝度の相対比の異なる第1、第2、…第 q の複数のサブフィールドで1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、最初の走査順序を第1、第2、…第 q サブフィールドとし、つぎの走査順序を第2、…第 q 、第1サブフィールドとし、以下同様にして1フレーム毎に先頭のサブフィールドの走査順序を1つずつずらして駆動するようにしたことを特徴とするディスプレイ装置の駆動方法。

【請求項3】 輝度の相対比の異なる複数のサブフィールドで1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、外部サブアドレス設定信号によりサブフィールドの走査順序を p ($p=1, 2, 3, \dots$) フレーム単位でランダムに変化して駆動するようにしたことを特徴とするディスプレイ装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、輝度の相対比の異なる複数のサブフィールドで1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置の駆動方法に関するものである。

【0002】

【従来の技術】 最近、薄型、軽量の表示装置として、PDP（プラズマ・ディスプレイ・パネル）が注目されている。このPDPの駆動方式は、従来のCRT駆動方式とは全く異なっており、デジタル化された映像入力信号による直接駆動方式である。したがって、パネル面から発光される輝度階調は、扱う信号のビット数によって定まる。PDPは基本的特性の異なるAC型とDC型の2方式に分けられるが、DC型PDPでは、すでに課題とされていた輝度と寿命について改善手法の報告があり、実用化へ向けて進展しつつある。

【0003】 ところが、AC型PDPでは、輝度と寿命については十分な特性が得られているが階調表示に関しては、試作レベルで最大6.4階調表示までの報告しかなかったが、アドレス・表示分離型駆動法（ADSサブフィールド法）による将来の2.56階調の手法が提案されている。この方法に使用されるPDP（プラズマ・ディスプレイ・パネル）10のパネル構造が図4に示され、駆動シーケンスと駆動波形が図5（a）（b）に示される。

【0004】 図4において、表示面側の表面ガラス基板

2

11の下面に、対になるXサスティン電極12、Yサスティン電極13を透明電極と補助電極で形成する。補助電極は、透明電極の抵抗による電圧降下を防ぐため、バス電極23を透明電極の一部に形成する。これらXサスティン電極12、Yサスティン電極13の上に誘電体層14を設け、その上に各セル間の結合を分離するためにストライプ状リブ18を形成する。さらに、MgO膜からなる保護層15を蒸着する。対向する裏面ガラス基板16上には、アドレス電極17を形成する。アドレス電極17間にストライプ上のストライプ状リブ18を設け、さらにアドレス電極17を被覆するようにしてR（赤）蛍光体19、G（緑）蛍光体20、B（青）蛍光体21を塗分けて形成する。放電空間22には、Ne+Xe混合ガスが封入される。

【0005】 図5（a）において、1フレームは、輝度の相対比が1、2、4、8、16、32、64、128の8個のサブフィールドで構成され、8画面の輝度の組み合わせで2.56階調の表示を行う。図5（b）において、それぞれのサブフィールドは、リフレッシュした1画面分のデータの書込みを行うアドレス期間とそのサブフィールドの輝度レベルを決めるサスティン期間で構成される。アドレス期間では、最初全画面同時に各ピクセルに初期的に壁電荷が形成され、その後サスティンパルスが全画面に与えられ表示を行う。サブフィールドの明るさはサスティンパルスの数に比例し、所定の輝度に設定される。このようにして2.56階調表示が実現される。

【0006】 以上のようなAC駆動方式では、階調数を増やせば増やすほど、1フレーム期間内でパネルを点灯発光させる準備期間としてのアドレス期間のビット数が増加するため、発光期間としてのサスティン期間が相対的に短くなり、最大輝度が低下する。このように、パネル面から発光される輝度階調は、扱う信号のビット数によって定まるため、扱う信号のビット数を増やせば、画質は向上するが、発光輝度が低下し、逆に扱う信号のビット数を減らせば、発光輝度が増加するが、階調表示が少なくなり、画質の低下を招く。

【0007】 入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするための誤差拡散処理は、擬似中間調を表現する処理であり、少ない階調で濃淡表現する場合に用いられる。すなわち、従来の一般的な誤差拡散処理回路において、映像信号入力端子に、 n （たとえば8）ビットの原画素 A_{ij} の映像信号が入力し、垂直方向加算回路、水平方向加算回路を経て、さらにビット変換回路でビット数を m （たとえば4）ビットに減らす処理をしてPDP駆動回路を経てPDPを発光する。

【0008】 また、前記水平方向加算回路からの誤差拡散信号が、予め記憶されたデータと誤差検出回路にて比較されてその差をとって誤差荷重回路にて所定の係数を

(3)

3

掛けて重み付けをし、誤差検出出力を、原画素 $A_{i,j}$ より h ライン前の画素、例えば1ラインだけ過去に生じた再現誤差 E_{j-1} を出力する h ライン遅延回路を介して前記垂直方向加算回路に加算されるとともに、原画素 $A_{i,j}$ より d ドット前の画素、例えば1ドットだけ過去に生じた再現誤差 E_{i-1} を出力する d ドット遅延回路を介して前記水平方向加算回路に加算される。なお、前記誤差荷重回路での係数は一般的に全ての和が1になるように設定する。

【0009】この結果、ビット変換回路の出力端子には、瞬間的には階段状のような4ビットで表わされる発光輝度レベルが出力されるにも拘らず、実際は、実線の階段状の上下の発光輝度レベルが所定の割合で交互に出力されるので、平均化された状態で認識され、略 $y=x$ の補正輝度線となる。

【0010】

【発明が解決しようとする課題】しかるに、例えば、画像の左側が暗く、右側が明るい画像が緩やかに左に動く場合、画面の一部分において、画像レベルは、最初のフレームが127のレベルで、つぎのフレームが128のレベルに変化したものとする。サブフレームの走査は、図3に示すように、輝度順にSF1からSF8までを走査するようにしており、画像信号として8ビットが用いられているとすると、127のレベルは11111110で量子化され、128のレベルは00000001で量子化される。したがって、127~128にかけては、SF1~SF7まで表示期間、SF8およびSF1~SF7まで非表示期間、SF8表示期間となって画像が表示される。このように、動画像を表示する場合、非表示期間が1フレームと同一期間という比較の長くなるため、この非表示期間が黒い線となって画像に現れ、これが偽輪郭となってあらわれるという問題があった。

【0011】本発明は、1フレーム間のサブフィールドの輝度順序を一定の規則をもって、または、ランダムに並べ替えて非表示期間が長くならないようにして、偽輪郭の発生しないものを得ることを目的とする。

【0012】

【課題を解決するための手段】本発明は、輝度の相対比の異なる複数のサブフィールドで1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、サブフィールドの走査順序を p ($p=1, 2, 3, \dots$) フレーム単位で規則的に、または、ランダムに変化して駆動するようにしたことを特徴とするディスプレイ装置の駆動方法である。

【0013】

【作用】フレーム単位で規則的に変化する場合、最初の走査順序を第1、第2、…第 q サブフィールドとし、つぎの走査順序を第2、…第 q 、第1サブフィールドとし、以下同様にして1フレーム毎に先頭のサブフィールドの走査順序を1つずつずらして駆動する。画像レベル

4

は、最初のフレームが例えば127のレベルで、つぎのフレームが128のレベルに変化したものとする。第1フレーム目では、輝度順に最初から走査するが、第2フレーム目以降では、1つずつずらして走査するから、128のレベルは量子化される順序が途中から始まり、したがって、127~128にかけては、非表示期間が1フレームよりも十分短くなり、偽輪郭が目立たなくなる。走査順番を制御する信号を、外部サブアドレス設定信号からの乱数表によるランダムな信号とすることにより、同様に非表示期間が1フレームよりも十分短くなり、偽輪郭が目立たなくなる。

【0014】

【実施例】以下、本発明の実施例を図面に基づき説明する。図1において、 n ビットの原画素 $A_{i,j}$ の映像信号(RGB)入力端子51と制御信号入力端子52は、書込み制御部53に接続され、この書込み制御部53は、I/Oバッファ部54のアドレス制御部55とデータ制御部56を介してフレームメモリ58に接続されている。前記制御信号入力端子52と外部サブアドレス設定信号入力端子67は、読出し制御部60に接続され、この読出し制御部60の中のアドレスデコーダ61は、アドレス制御部55に接続され、また、サブアドレスカウンタ62は、サブアドレスデコーダ63を介して前記I/Oバッファ部54のビット選択部57に接続されている。また、前記データ制御部56とサブアドレスデコーダ63に接続されたビット選択部57は、アドレスドライバ65とアドレスドライバ66を介してPDP10に接続されている。

【0015】前記サブアドレスデコーダ63は、SF1~SF8までの輝度順位をつぎのように周期的に並べ替えるためのものである。例1として1フレーム毎に輝度を1つずつずらして並べ替える方法の場合

第1フレーム目：SF1、2、3、4、5、6、7、8
第2フレーム目：SF2、3、4、5、6、7、8、1
第3フレーム目：SF3、4、5、6、7、8、1、2
第4フレーム目：SF4、5、6、7、8、1、2、3
……

【0016】例2として1フレーム毎に輝度を3つずつずらして並べ替える方法の場合

第1フレーム目：SF1、2、3、4、5、6、7、8
第2フレーム目：SF4、5、6、7、8、1、2、3
第3フレーム目：SF7、8、1、2、3、4、5、6
第4フレーム目：SF2、3、4、5、6、7、8、1
……

その他、1フレーム毎に輝度を r ($r=1, 2, 3, \dots$) 段階ずつずらして並べ替えるなど適宜設定することができる。

【0017】前記外部サブアドレス設定信号入力端子67による場合には、外部からコントロールしてつぎの例3のように信号を入力する。

50

(4)

5

第1フレーム目：SF 3、7、1、6、8、4、2、5
 第2フレーム目：SF 6、1、7、2、5、8、4、3
 ……

この場合、外部のマイコンの乱数表などにより、ランダムに設定した信号を入力する場合が考えられる。

【0018】以上のような構成において、デジタル映像信号(RGB)が、入力端子51から書込み制御部53に入力するとともに、クロック信号、ブランキング信号、垂直および水平同期信号が制御信号入力端子52から書込み制御部53と読出し制御部60に入力する。また、書込み制御部53は、前記制御信号により、書込み用のアドレス信号を出力し、I/Oバッファ部54のアドレス制御部55に入力するとともに、入力された映像信号をデータ制御部56に入力し、アドレス制御部55から入力されるアドレス信号に従って、データ制御部56からの映像信号データをDRAMモジュールからなるフレームメモリ58に書込み記憶させる。

【0019】1フレーム分の映像信号データの書込みが終了すると、読出し制御部60のアドレスデコーダ61は入力された制御信号に基づいて、読出し用のアドレス信号を出力し、アドレス制御部55に入力して、フレームメモリ58から映像信号データを読出し、データ制御部56に入力する。読出し制御部60のサブアドレスカウンタ62は、1フレーム中のSF 1～SF 8までの各期間をカウントしてカウント信号を出力するようにしており、同カウント信号をサブアドレスデコーダ63で周期的に並べ替えて設定した前記順番に従い出力する。

【0020】図2は、本発明の映像信号の駆動方法の一例を示すもので、この例では、前記例2の順番により駆動した場合を示している。すなわち、第1フレーム目がSF 1、2、3、4、5、6、7、8の順であるとする、第2フレーム目以下が3つのSF ずつ周期的にずらして並べ替えているものとする。

【0021】このサブアドレスデコーダ63からの出力はI/Oバッファ部54のビット選択部57に入力し、また、フレームメモリ58から読出された映像信号データもビット選択部57に入力している。

【0022】ビット選択部57では、映像信号データのビットを選択してアドレスドライバ65とアドレスドライバ66に入力し、また、制御信号入力端子52からの制御信号に基づき、アドレス信号を発生させてアドレスドライバ65とアドレスドライバ66に入力し、PDP 10の指定のアドレス部分に書込み、映像信号を映し出す。

【0023】図2において、図3の場合と同様に、画像レベルは、最初のフレームが127のレベルで、つぎのフレームが128のレベルに変化したものとする。第1フレーム目では、輝度順にSF 1から走査するから、127のレベルは11111110で量子化されるが、第2フレーム目では、SF 4から走査するから、128の

6

レベルは00001000で量子化される。したがって、127～128にかけては、SF 1～SF 7まで表示期間、SF 8およびSF 4～SF 7まで非表示期間、SF 8表示期間、SF 1～SF 3まで非表示期間となって画像が表示される。

【0024】このように順番を周期的に並べ替えることにより、非表示期間が1フレームよりも短くなり、偽輪郭が目立たなくなる。前記サブアドレスデコーダ63の順番を制御する信号を、例3のように、外部のマイコンなどに接続された外部サブアドレス設定信号入力端子67からの乱数表によるランダムな信号とすることもできる。

【0025】

【発明の効果】

(1) 本発明は、サブフィールドの走査順序を1フレーム単位で変化せしめて駆動するようにしたため、非表示期間が1フレームよりも短くなるとともに、フレーム毎に変化することにより、偽輪郭が目立たなくなる。

【0026】(2) サブフィールドの走査順序を外部信号入力源からランダムに変化せしめて駆動することにより、より一層偽輪郭の発生がなくなる。

【図面の簡単な説明】

【図1】本発明によるディスプレイ装置の駆動方法の一実施例を示すブロック図である。

【図2】本発明による映像信号駆動例を示す説明図である。

【図3】従来方法による映像信号駆動例を示す説明図である。

【図4】256階調の手法に使用されるPDPの斜視図である。

【図5】256階調の手法における駆動シーケンスと駆動波形図である。

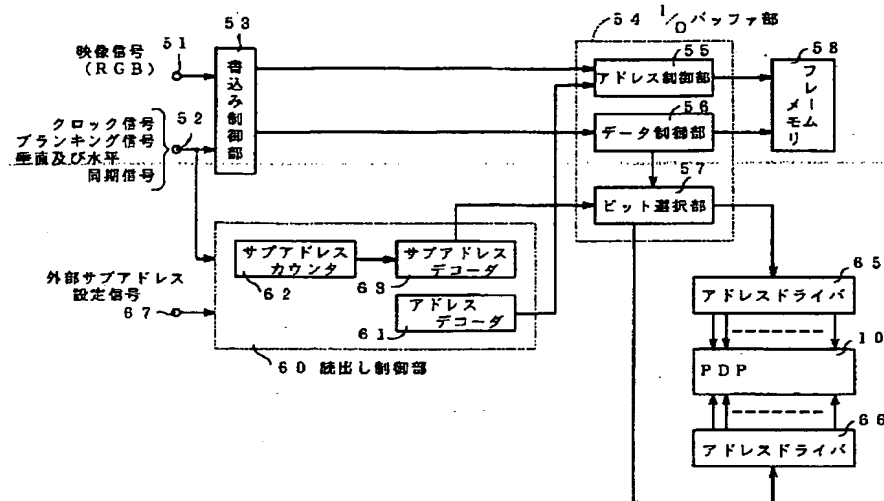
【符号の説明】

10…PDP(プラズマ・ディスプレイ・パネル)、11…表面ガラス基板、12…Xサスティン電極、13…Yサスティン電極、14…誘電体層、15…保護層、16…裏面ガラス基板、17…アドレス電極、18…ストライプ状リブ、19…R(赤)蛍光体、20…G(緑)蛍光体、21…B(青)蛍光体、22…放電空間、23…バス電極、30…映像信号入力端子、31…垂直方向加算回路、32…水平方向加算回路、33…ビット変換回路、34…出力端子、35…誤差検出回路、36…hライン遅延回路、37…dドット遅延回路、38…メモリ、40…誤差荷重回路、41…誤差荷重回路、51…映像信号(RGB)入力端子、52…制御信号入力端子、53…書込み制御部、54…I/Oバッファ部、55…アドレス制御部、56…データ制御部、57…ビット選択部、58…フレームメモリ、60…読出し制御部、61…アドレスデコーダ、62…サブアドレスカウンタ、63…サブアドレスデコーダ、65…アドレスド

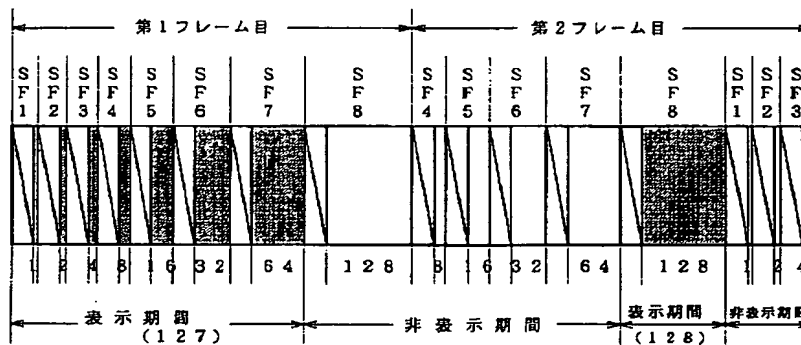
(5)

ライバ、66…アドレスドライバ、67…外部サブアドレス設定信号入力端子。

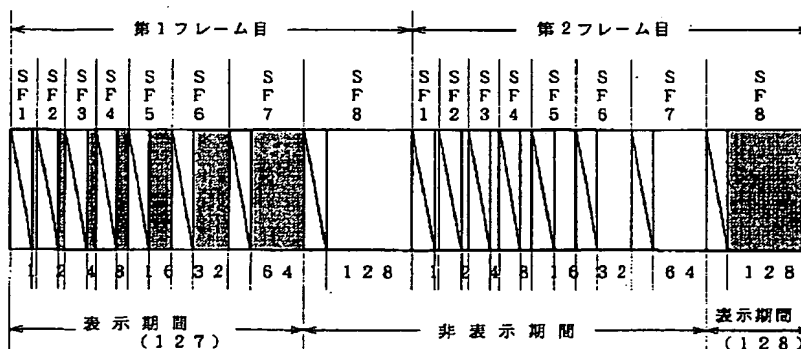
【図1】



【図2】

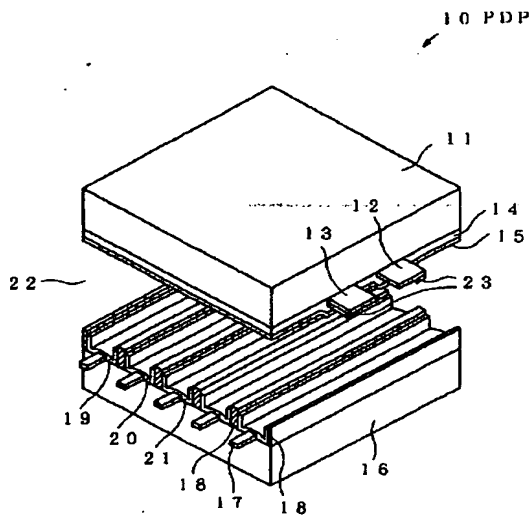


【図3】

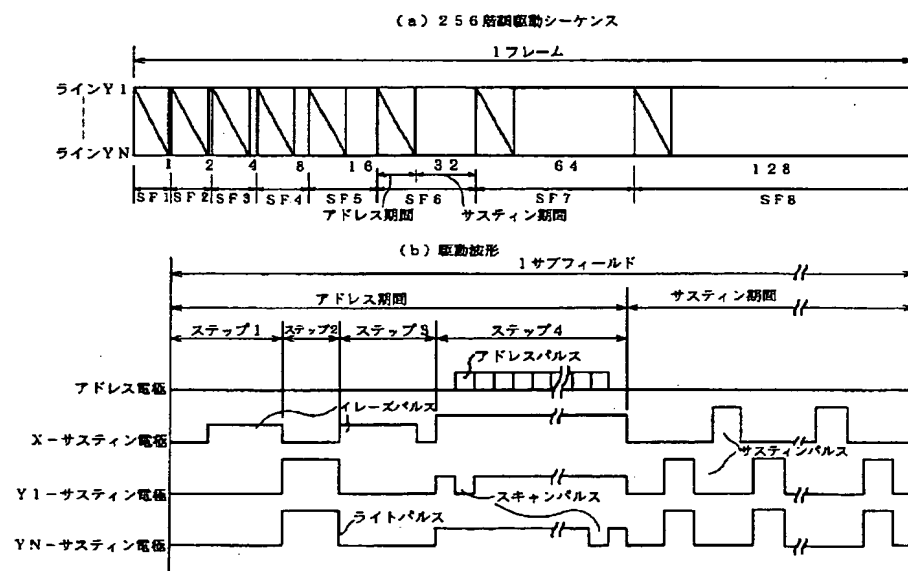


(6)

【図 4】



【図 5】



フロントページの続き

(72) 発明者 小坂井 朝郎
 神奈川県川崎市高津区末長1116番地 株式
 会社富士通ゼネラル内

(72) 発明者 小林 正幸
 神奈川県川崎市高津区末長1116番地 株式
 会社富士通ゼネラル内